

割込技術の修得

第三技術室システム制御技術班 辻 正 晴

1. 目的

コンピュータによる計測・制御の分野において、割込技術は必須のものとされている。今回の研修で、割込技術の基本を実験を通して修得することを目的とした。なお、CPUは8085Aとし、NEC製ワンボードマイコンTK-85を使用した。

2. 実験装置の構成

TK-85用のマシン語プログラムは、パソコン(PC-9801)上でクロスアセンブラーを使用して作成した。作成されたインテル・ヘキサ・フォーマットのオブジェクト・プログラムを、RS-232Cを介してTK-85に送信するために、TK-85側にRS-232C受信用インターフェースを作製し、受信プログラムはEP-ROM(2716D)に書き込み常駐した。なお、EP-ROMライターは自作したものを利用した。

3. 8085Aの割込みについて

8085Aには5本の割込入力端子があり、この内のINTRを除く4本は再スタート番地(割込ベクタ)を持つもので、つぎのように優先順位がつけられている。

優先順位最上位	TRAP	24H
	RST 7.5	3CH
	RST 6.5	34H
	RST 5.5	2CH
最下位	INTR	定義なし

割込の優先順位は、同時に複数の割込要求があった場合に、先にサービスされる順位であり、RST 7.5の割込実行中にもしEI(割込許可)命令が実行されていれば、RST 5.5の割込要求があると、7.5の処理を中断し5.5の割込を実行する。一つの割込がかかると、すぐに割り込み受け付け不可の状態になるので、次の割込を受け付けるにはEI命令を実行しておくことが必要である。

(1) TRAP 割込

TRAP 割込は、ノンマスカブル割込で、CPUは24Hのサブルーチンコール命令を自動的に生成し、内部データバスに供給する。

TRAP 割込時に、割込イネーブルフラグ (IE) の内容をCPU内部のフリップフロップ A (A-F F) に保持し IE フラグをリセットするので、TRAP 割込発生後の最初の RIM 命令で A-F F の内容を読み、TRAP 割込前の IE フラグの内容をチェックして、割込から戻る前に IE フラグを元に戻しておく必要がある。

(2) 再スタート割込 (RST 7. 5, 6. 5, 5. 5)

この割込は、CPU内部で先に示した飛び先アドレスが自動的に作成され、サブルーチンコールするリスタート型の割込である。

これらの割込は、外部からアドレスをデータバスに乗せる必要がないので、応答信号 INTA (インターラプトアクリッジ) は出力されず、バスはアイドル状態になる。この割込はマスカブル割込で、SIM 命令によってマスクをセット (割込禁止)、リセット (割込許可) できる。

RST 5. 5 と 6. 6 端子は、Hレベルになると認識されるレベルセンス入力であるが、RST 7. 5 はパルスの立ち上がりで認識されるエッジセンス入力で、内部にラッチされる。このため RST 7. 5 は、この割込が禁止状態であればペンディングの状態になり、後に割込許可になればその時点で割込処理が実行される。各割込要求の有無は RIM 命令により知ることができる。

(3) INTR 割込

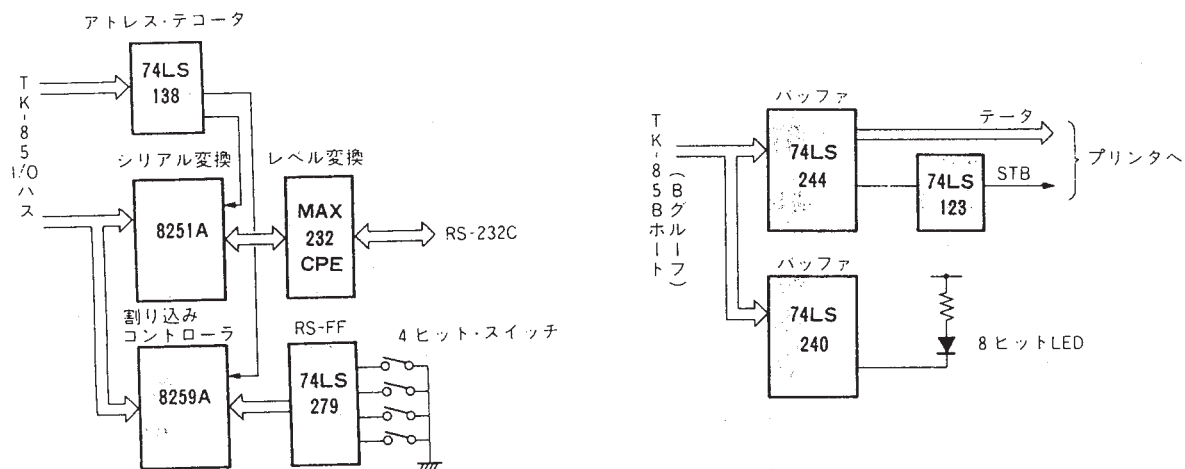
この割込が受け付けられると、CPUは割込イネーブル F/F (IE) をリセットし、INTA 信号を出力する。この INTA 信号をストローブパルスとして、データバスに任意の割込命令、一般的に RST 0 ~ 7 命令や CALL 命令を乗せるが、この他にいかなる 3 バイト命令も自由に挿入することができる。

INTR 割込は、DI 命令によって割込禁止、EI 命令によって割込許可にできる。ただし、EI 命令が実行されると、直ちに割込許可の状態になるのではなく、EI 命令の次の命令が実行されてから割込許可になるので、割込処理ルーチンの中で最後の RET 命令の前に EI 命令を入れて、次の割込が受け付けられる状態にすることができる。

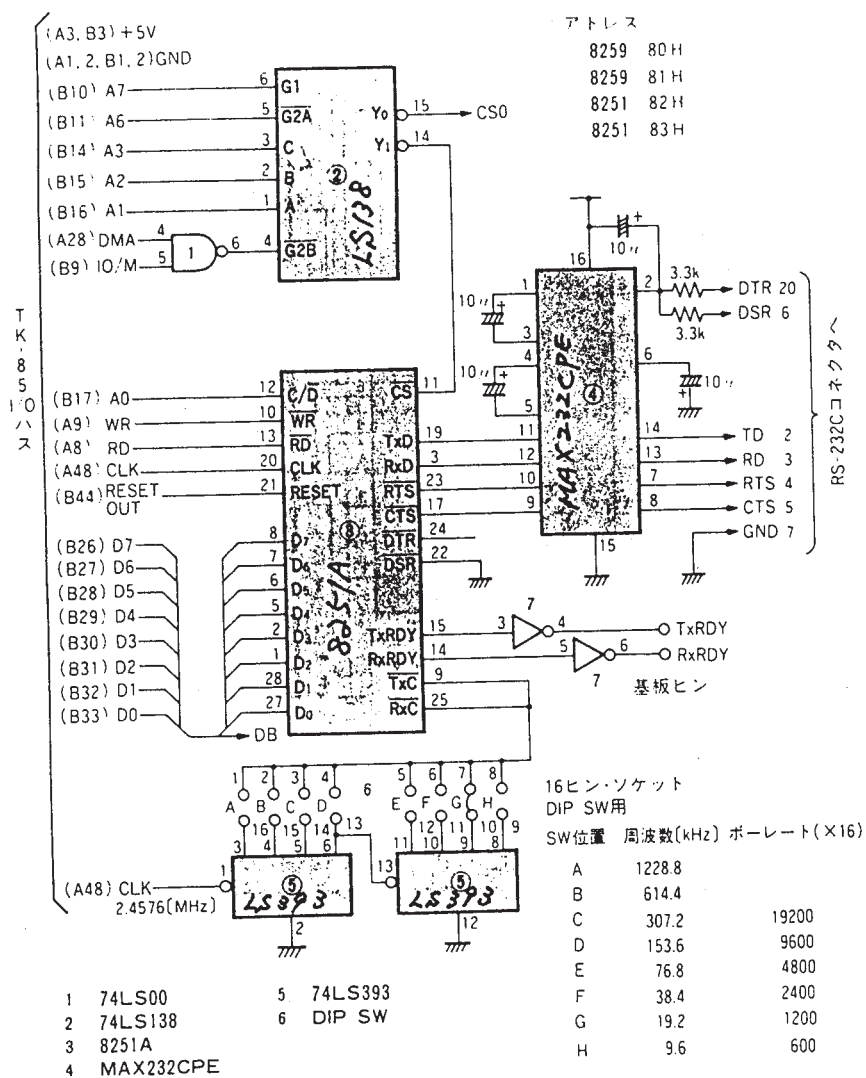
INTR 割込は、外部から RST 命令か CALL 命令をデータバスに乗せる必要があるので、このためのハードウェアが必要になる。RST 命令用のデバイスとして 8214 があり、CALL 命令用のデバイスとして 8259A というプログラマブル・インターラプトコントローラがある。

4. 実験回路図

1) 割込実験ボードのブロック図



2) 8251Aによる割込実験回路図



5. 割込実験

1) TRAP割込とRST 7. 5割込の実験

これらの割込はTK-85のモニタが使用しているので、モニタROMをはずし、別のROMにプログラムを焼き付け実験した。

TRAP割込はノンマスカブルな割込であり、RST 7. 5割込はエッジセンス入力で内部にラッチされ、割込禁止状態であればペンディング状態になり、後に割り込み許可になればその時点で割り込みルーチンが実行されることを確認した。

2) RST 5. 5割込実験

レベルセンスのRST 5. 5割込信号は、割込が受け付けられるまでHレベルを保ち、割込ルーチンからのリターン前にLレベルに下げしておく必要がある。

インターフェース基板上のRST 5. 5端子にRS-FFからの信号を入れて実験を行った。

3) 8251Aによる割込実験

シリアルデータ通信用LSIである8251Aには割込用の端子は特にないが、RXRDYとTXRDYの端子がこれに相当する。実験ではRXRDY出力をRST 5. 5割込端子に接続して行った。

RXRDY信号は受信キャラクタがレシーブバッファに入り、さらにデータバスバッファ内のレシーブデータバッファに入ったことを表す信号で、このときHレベルになるので、受信データを読み込むための割込信号として用いる。この信号はキャラクタがCPUにより読み出されると、自動的にLレベルにリセットされる。ステータス情報のビット1は、この信号と同じ状態を表す。

4) 8259Aによる割込実験

8259Aは8085AのINTR割込要求を8レベルに拡張するための割込コントローラで、カスケード接続することにより、64レベルまで拡張することができる。8レベルの割込要求端子の優先順位はIR0～IR7の順になっているが、優先順位および割込マスクはプログラムによりリアルタイムで変更することができる。CPUよりのINTA信号に応じてCALL命令及びあらかじめプログラムされたベクタアドレスをデータバスに出力し、CPUに送り込むデバイスである。

(1) フリネスティッドモードの多重割込実験

8259Aの割込入力信号IR0～IR7は、優先順位の高い割込処理中は、これより低い割込は受け付けないが、これはISRレジスタのフラグがセットされているためで、割込ルーチンの初めにISRのフラグをリセットする命令を実行することにより、優先順位なしの多重処理が行える。

(2) スペシフィックモードの実験

最下位の優先順位になる割込レベルをプログラム(OCW2コマンド)で指定できるモードで、いまIR1を最下位レベルに指定すると、優先順位は次のように巡回される。

最上位 IR2, IR3, IR4, IR5, IR6, IR7, IR0, IR1 最下位

5) 8255Aによる割込実験

パラレルインターフェースLSIである8255Aをモード1に設定し、プリンターインターフェースとしてACKを割込信号として使用する。

モード1においてPC2への割込要求(ACK)はPC0に出力されるが、PC0をアクティブにするには内部フリップフロップINTE-Bをセットする必要がある、これはPC2のビットセットにより行う。実験ではPC0からの出力を8259AのIR0信号として割込をかけている。

<参考文献>

- (1) 横井直隆：「割込み技術入門」 技術評論社